

# Patent Abstracts of Japan

PUBLICATION NUMBER : 2002324397  
PUBLICATION DATE : 08-11-02

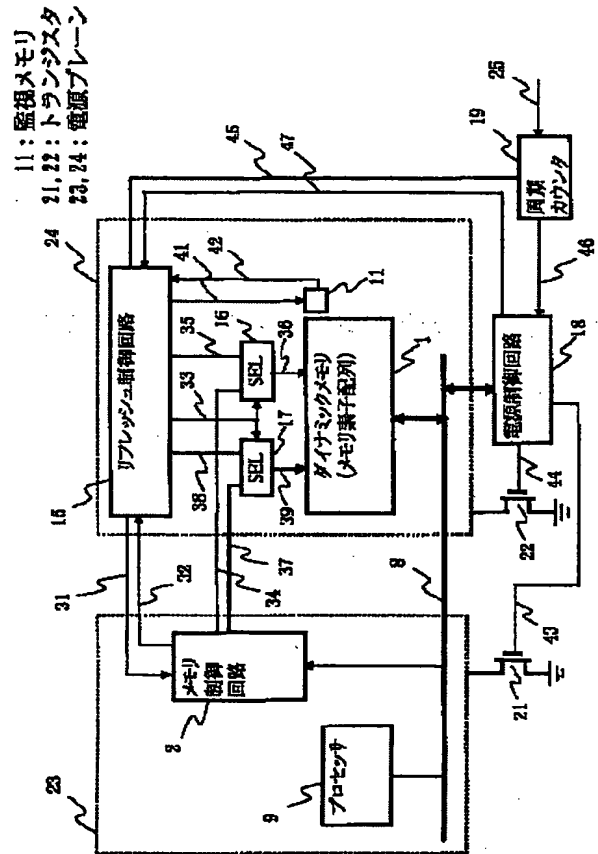
APPLICATION DATE : 26-04-01  
APPLICATION NUMBER : 2001128976

APPLICANT : MITSUBISHI ELECTRIC CORP;

INVENTOR : SHIGA MINORU;

**INT.CL. : G11C 11/406 G11C 11/403**

TITLE : DYNAMIC MEMORY REFRESHING  
SYSTEM



**ABSTRACT :** **PROBLEM TO BE SOLVED:** To obtain a dynamic memory refreshing system having much electric power saving effect during the processor halt state.

**SOLUTION:** The dynamic memory refreshing system has a refresh control circuit that refreshes the dynamic memory. The refresh control circuit is provided with a monitor memory that monitors data holding states using memory cells of the same configuration as the dynamic memory and adjusts the refresh cycle during the processor halt state using the memory state of the monitor memory.

COPYRIGHT: (C)2003,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-324397

(P2002-324397A)

(43) 公開日 平成14年11月8日 (2002. 11. 8)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テマコード(参考)

G 1 1 C 11/406

G 1 1 C 11/34

3 6 3 L 5 M 0 2 4

11/403

3 6 3 M

3 6 3 N

3 6 3 K

審査請求 未請求 請求項の数10 O L (全 9 頁)

(21) 出願番号 特願2001-128976(P2001-128976)

(22) 出願日 平成13年4月26日 (2001. 4. 26)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 志賀 稔

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100099461

弁理士 溝井 章司 (外2名)

Fターム(参考) 5M024 AA04 BB22 BB37 BB39 CC18

CC62 EE05 EE22 EE24 EE25

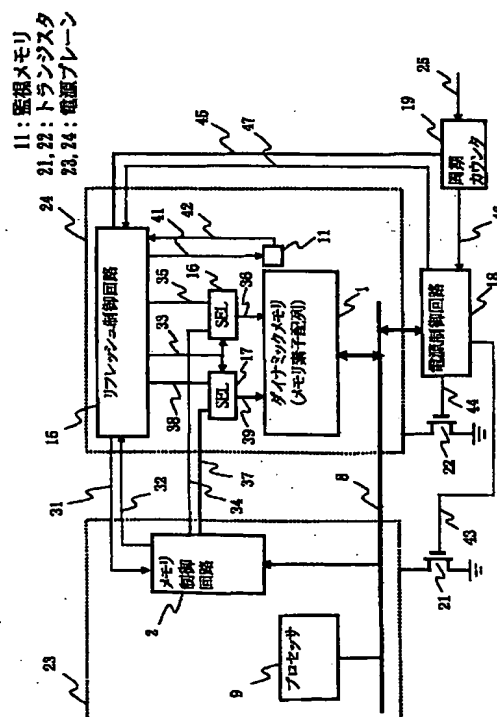
HH20 LL01 PP01 PP03 PP07

(54) 【発明の名称】 ダイナミックメモリのリフレッシュ方式

(57) 【要約】

【課題】 プロセッサの休止状態時に省電力化効果の大きいダイナミックメモリのリフレッシュ方式を得ること。

【解決手段】 リフレッシュ制御回路によりダイナミックメモリのリフレッシュを行うダイナミックメモリのリフレッシュ方式において、ダイナミックメモリと同一構造の記憶セルを使用し、データ保持状態を監視する監視メモリを備え、プロセッサが休止状態の期間中、監視メモリの記憶状態を利用してリフレッシュ周期を調節するものである。



態の期間中、監視メモリの記憶状態を利用してリフレッシュ周期を調節するものである。

【0008】また、監視メモリを1個の記憶セルで構成し、リフレッシュ周期を1回以上飛ばして、監視メモリの読み出し動作を行うものである。

【0009】また、監視メモリの記憶セルの電圧レベルが判定基準を下回る場合はその後のリフレッシュ周期を短くし、逆に判定基準まで到達しない場合はリフレッシュ周期を長くするものである。

【0010】また、監視メモリを2個の記憶セルから構成し、2個の記憶セルからリフレッシュ周期を1周期ずらして交互に読み出し動作を行い、各記憶セルからの読み出し動作はリフレッシュ周期を1回以上飛ばして行うものである。

【0011】また、監視メモリを3個の記憶セルから構成し、3個の記憶セルからリフレッシュ周期を互いに1周期ずらして読み出し動作を行い、各記憶セルからの読み出し動作はリフレッシュ周期を2回飛ばして行うものである。

【0012】また、監視メモリは記憶セルから読み取った値を判定するトランジスタに閾値の高いトランジスタを使用し、その判定結果から次のリフレッシュ周期を調節するものである。

【0013】また、監視メモリはダイナミックメモリよりもプリチャージ電圧を低くして記憶セルから読み取った値を判定し、その判定結果から次のリフレッシュ周期を調節するものである。

【0014】また、リフレッシュ周期の延長／短縮の比率が設定可能なレジスタを備えたものである。

【0015】また、データ保持が不要な行を除いて一括リフレッシュの対象範囲を指定するレジスタを備えたものである。

【0016】また、ダイナミックメモリは複数の領域に分割され、リフレッシュ対象領域を指定するレジスタを備えたものである。

【0017】

【発明の実施の形態】以下、この発明の実施の形態を図に基づいて説明する。

実施の形態1. 図1～4は実施の形態1を示す図で、図1は半導体集積回路（システムLSI）の構成図、図2はリフレッシュ動作のシーケンスを示すタイミング図、図3は図2の各ポイント（P1～P6）の拡大図、図4はリフレッシュ制御回路、電源制御回路および周期カウンタの詳細ブロック図である。図1において、9はプロセッサ、11はダイナミックメモリ1を構成する記憶セルと同一構造の1個の記憶セルを持った監視メモリ、15はリフレッシュ制御回路、16及び17はセレクト、18は電源制御回路、19は周期カウンタ、21及び22はトランジスタ、23および24は電源プレーンである。

【0018】図1により全体の動作を説明する。プロセッサ9が動作中は、トランジスタ21及び22がオン状態で、電源プレーン23及び24が接地層と結合され、これらの電源プレーンに配置された回路が動作状態となっている。ダイナミックメモリ1は記憶内容を保持するために周期的なリフレッシュ動作が求められる。従来は、16μ秒程度の間隔で、1回ずつのリフレッシュ・サイクルを実行し、リフレッシュ・サイクル毎にアドレス37を歩進させる。1回ずつリフレッシュ・サイクルを実行する理由はプロセッサ9からのメモリアクセスの待ち時間を小さく抑えるためである。

【0019】プロセッサ9が休止状態の間中は、リフレッシュ動作が必要な期間のみ電源プレーン24に電力を供給し、電源オン／オフ動作に伴う電力損失を低減するために、全行分連続して一括リフレッシュ動作を行う。例えば64行のダイナミックメモリ1では16μ秒×64≒1m秒のリフレッシュ周期となる。本発明では、監視メモリ11を設け、記憶状態（静電気の蓄積状態）を利用して、リフレッシュ周期を調節する。つまり、監視メモリ11の記憶セルの電圧レベルが判定基準を下回るとき、その後のリフレッシュ周期を短くし、逆に判定基準まで到達しない場合はリフレッシュ周期を長くする。ダイナミックメモリ1のリフレッシュ周期よりも監視メモリ11の監視動作の周期を長くすることによって、動作マージンを確保する。

【0020】図2を中心にプロセッサ9が休止状態のときの動作を説明する。図において、判定基準50は監視メモリ11の記憶セルの出力を受けて増幅するセンスアンプの閾値である。例えば、監視メモリ11の出力42は判定基準以上のときに高電位（high）、判定基準を下回るときに低電位（low）が出力される。

【0021】[P1] 先ず、リフレッシュ周期になったことを周期カウンタ19から電源制御回路18へ信号46で知らせる。電源制御回路18はトランジスタ22のゲート信号44を有効にし、電源プレーン24に給電を行う。次に、リフレッシュ制御回路15はダイナミックメモリ1のリフレッシュ動作を行う。このとき、ストローク信号は信号35、セレクト16経由信号36で伝達され、メモリアドレス（行指定を行う）は信号38、セレクト17経由信号39で伝達される。リフレッシュ制御回路15は図3のように全行分連続したリフレッシュ・サイクルを実行し、周期カウンタ19へ終了を信号45で伝達し、周期カウンタ19は電源オフの指示を信号46で伝える。周期カウンタ19は低速のクロック25（例えば32kHz）で継続してカウント動作を行い、次の周期までカウントを進める。

【0022】[P2] 上記P1と同じリフレッシュ動作を行うとともに、平行して監視メモリ11からデータを読み取る。このレベルが判定基準にまで低下していない（a点）ので、この後のリフレッシュ周期を長くするこ

を行うとともに、平行して監視メモリ11の第二記憶セルからデータを読み取る。このレベルが判定基準にまで低下していない(b点)ので、この後のリフレッシュ周期を更に長くするように、周期カウンタ19に指示を行う。なお、監視メモリ11の第二記憶セルは読み取りと同時にリフレッシュ動作を行うので、再充電され、第一記憶セルはアクセスされない。P2とP3の間隔はP1とP2よりも長くなる。

【0037】[P3]上記P1と同様にリフレッシュ動作及び監視動作を行い、第一記憶セルの電圧レベルが判定基準以下に低下した(c点)ので、この後のリフレッシュ周期を短くするように、周期カウンタ19に指示を行う。

【0038】[P4]上記P2と同様にリフレッシュ動作及び監視動作を行い、第二記憶セルの電圧レベルが判定基準にまで低下していない(d点)ので、この後のリフレッシュ周期を長くするように、周期カウンタ19に指示を行う。

【0039】[P5]上記P1と同様にリフレッシュ動作及び監視動作を行い、第一記憶セルの電圧レベルが判定基準にまで低下していない(e点)ので、この後のリフレッシュ周期を更に長くするように、周期カウンタ19に指示を行う。

【0040】[P6]上記P4と同様。

【0041】以上説明したように、監視メモリ11はダイナミックメモリ1と同一構造の記憶セルを2つ使用し、各リフレッシュ実行後の周期調節を毎回実施することによって、精度の高い周期調節ができる効果がある。

【0042】以上の説明では、監視メモリ11の各記憶セルの読み出し動作を、2回に1回実施するケースを説明したが、3回またはそれ以上のリフレッシュ周期当り1回の比率で監視メモリ11の読み出しを行ってもよい。それにより、リフレッシュ実行後の周期調節を毎回ではないが、記憶セルが1つの場合よりも、精度の高い周期調節ができる効果がある。

【0043】実施の形態3。また、監視メモリ11を3個の記憶セルから構成し、各々の記憶セルは2リフレッシュ周期を飛ばすことによって、各リフレッシュ周期で周期の調節を行うことによって、1周期分のマージンを更に追加して、リフレッシュ周期の調節を実施してもよい。

【0044】実施の形態4。図6、7は実施の形態4を示す図で、図6は監視メモリの構成図、図7は動作タイミング図である。図において、111は記憶セル、113はタイミング発生器、114~117はトランジスタ、118はラッチ回路である。タイミング発生器113はストロブ信号41からトランジスタ114~117およびラッチ118への信号を発生する。まず、トランジスタ115オンで電圧Vp126からデータ線125に予備充電を行う(T1)。次に、トランジスタ11

4をオンにして記憶セル111の蓄積電圧(電荷)をデータ線125へ出力させ(T2)、続いてトランジスタ117の出力129をラッチ回路118に取り込み保持する(T3)。その後、トランジスタ116をオンにし、電圧Vh127をデータ線125へ供給し、記憶セル111を充電する(T4)。

【0045】トランジスタ117は閾値(判定基準)の電圧値が高いトランジスタを使用することによって、ダイナミックメモリ1の記憶セルよりも厳しい判定基準になり、動作マージンを確保することができる。

【0046】実施の形態5。図8は実施の形態5を示す図で、動作タイミング図である。実施の形態4に示した予備充電電圧Vp126を低くしたものである。データ線125の予備充電電圧81を低くすることによって、記憶セル111の保持電圧が十分高い場合、データ線125を高い電圧に上げることができるが、不十分な電圧であればデータ線125のレベルが低いままとなるので、ダイナミックメモリ1の記憶セルよりも厳しい判定基準になり、動作マージンを確保することができる。

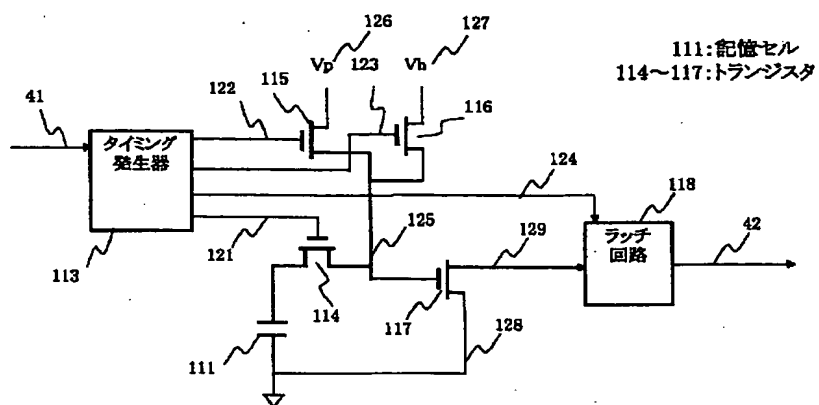
【0047】実施の形態6。図9は実施の形態6を示す図で、リフレッシュ周期の調節度合いを設定可能にしたリフレッシュ方式のブロック図である。関連部分のみ図示した。図中、473はプロセッサ9からレジスタ181へ設定された調節の度合いを示す倍率であり、例えば、3ビットコードで、変動なし、1.1、1.2、1.3、1.5、1.8、2.4を示す。リフレッシュ周期を長くする場合はこの値のまま乗算を行い、周期を短くするときはこの値で除算する。以上のように、プロセッサからきめ細かい制御を行うことができるので、一層の省電力化効果がある。

【0048】実施の形態7。ダイナミックメモリ1を構成する全記憶セルをリフレッシュ対象としたリフレッシュ方式を実施の形態1及び2に示した。アプリケーションによっては一部分の記憶セルのデータ保持で十分な場合がある。

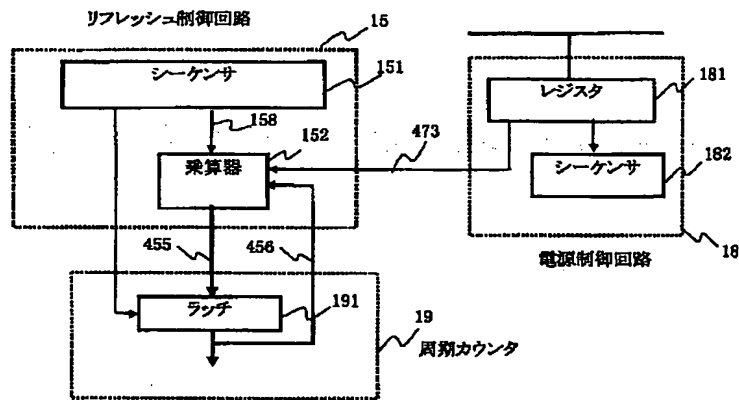
【0049】図10は実施の形態7を示す図で、リフレッシュ制御回路のブロック図であり、関連部分のみ図示した。この例ではデータ保持が不要な行を除いて一括リフレッシュ動作を行う方式により省電力化を行う。上限比較回路155を設け、アドレスカウンタ154の出力と、電源制御回路18に設けられたレジスタへプロセッサが設定した上限値474とを比較し、終了信号157を発生するようにしたものである。

【0050】また、本実施の形態では行アドレスの上限比較を実施したが、行アドレスをデクリメントし下限比較を実施しても同様にリフレッシュ対象領域のみリフレッシュすることができる。

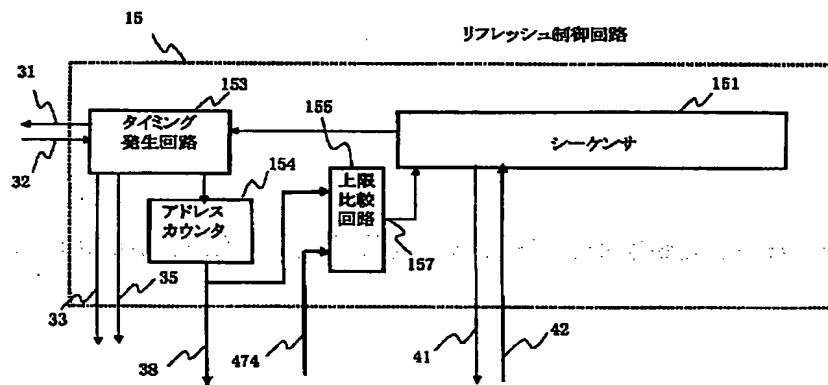
【0051】実施の形態8。図11は実施の形態8を示す図で、ダイナミックメモリを複数ブロックに分割し、ブロック単位で一括リフレッシュの実行を制御するリフ



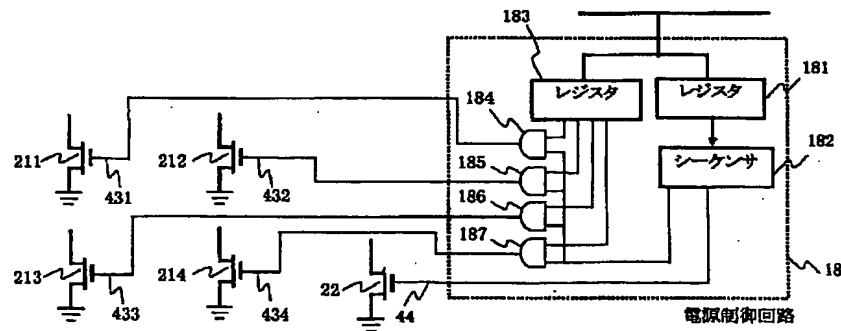
【図9】



【図10】



【図11】



211～214:トランジスタ